

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-125094

(43)Date of publication of application : 06.05.1994

(51)Int.Cl.

H01L 29/788

H01L 29/792

G11C 16/02

H01L 27/115

(21)Application number : 04-272084

(71)Applicant : ROHM CO LTD

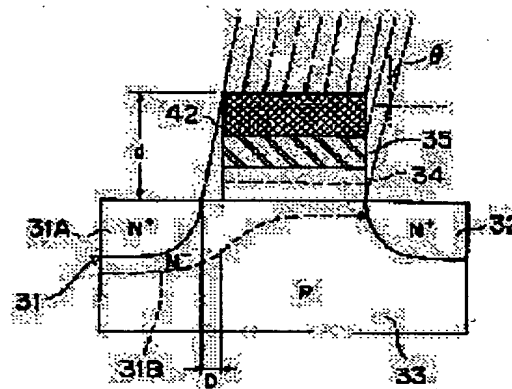
(22)Date of filing : 09.10.1992

(72)Inventor : OZAWA TAKANORI

(54) NONVOLATILE STORAGE ELEMENT AND MANUFACTURE THEREOF, AND NONVOLATILE STORAGE DEVICE UTILIZING THE ELEMENT AND DRIVING METHOD THEREFOR

(57)Abstract:

PURPOSE: To provide a memory transistor in which writing disturbance can be prevented at the time of writing information.
CONSTITUTION: An ONO film 34 and a gate electrode 35 are so disposed at a predetermined interval D from a source region 31 as to form an offset region on a predetermined region between the film 34, a gate electrode 35 and the region 31 of a memory transistor. The region 31 and a drain region 32 are formed by injecting and diffusing an impurity obliquely on the electrode 35 coated with resist.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-125094

(43)公開日 平成6年(1994)5月6日

| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | FI | 技術表示箇所 |
|------------------------------|------|---------|--|--------|
| H 0 1 L 29/788 | | | | |
| 29/792 | | | | |
| G 1 1 C 18/02 | | | | |
| | | 6741-5L | H 0 1 L 29/ 78 3 7 1 G 1 1 C 17/ 00 3 0 7 E | |
| 審査請求 未請求 請求項の数5(全14頁) 最終頁に続く | | | | |

(21)出願番号 特願平4-272084

(22)出願日 平成4年(1992)10月9日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 小澤 孝典

京都市右京区西院溝崎町21 ローム株式会
社内

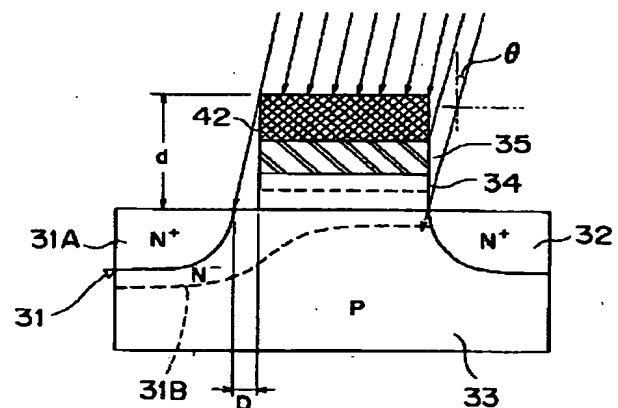
(74)代理人 弁理士 稲岡 耕作 (外2名)

(54)【発明の名称】 不揮発性記憶素子およびこの素子の製造方法ならびにこの素子を利用した不揮発性記憶装置およびその駆動方法

(57)【要約】 (修正有)

【目的】 情報の書き込み時における書込ディスタープを防止できるメモリトランジスタの提供を目的とする。

【構成】 メモリトランジスタのONO膜34及びゲート電極35と、ソース領域31との間の予め定める領域にオフセット領域を形成すべく、ONO膜34及びゲート電極35をソース領域31と所定の間隔Dをあけて配置した。なお、レジストを塗布したゲート電極35上で斜めに不純物を注入拡散してソース領域31及びドレン領域32を形成して製造する。



| | |
|-----------|----------|
| 31 ソース領域 | 35 ゲート電極 |
| 32 ドレイン領域 | 42 レジスト |
| 33 半導体基板 | D 所定の間隔 |
| 34 ONO膜 | |

【特許請求の範囲】

【請求項1】電荷を蓄積することで情報の記憶を行なう不揮発性記憶素子において、
チャンネル領域ならびに、そのチャンネル領域を挟んでソース領域およびドレイン領域が形成された半導体基板と、
上記半導体基板上の、ソース領域と隣接する予め定める領域を除くチャンネル領域上に形成された電荷を蓄積するための電荷蓄積膜と、
上記予め定める領域を除くチャンネル領域上に、電荷蓄積膜を介して設けられたゲート電極とを含むことを特徴とする不揮発性記憶素子。

【請求項2】請求項1記載の不揮発性記憶素子が、半導体基板上にマトリクス状に配列形成され、
上記マトリクス状に配列された不揮発性記憶素子の行方向に並んだ素子のゲート電極は、それぞれワードラインで接続され、列方向に並んだ素子のドレイン領域は、それぞれビットラインで接続され、全素子のソース領域は、共通のソースラインで接続され、
上記半導体基板には、共通の基板ラインが設けられていることを特徴とする不揮発性記憶装置。

【請求項3】請求項2記載の不揮発性記憶装置を駆動させるための方法であって、
情報の書き込み時に、ソースラインおよび基板ラインを接地電位としておき、書き込みを行なう不揮発性記憶素子が接続されているワードラインに対して高電圧を印加し、書き込みを行なう不揮発性記憶素子を選択するため、当該不揮発性記憶素子が接続されているビットラインに対して書込電圧を印加し、他のワードラインを接地電位とし、他のビットラインに対して書込禁止電圧を印加し、
情報の消去時に、各不揮発性記憶素子に記憶されている情報を一括消去するため、ビットラインおよびソースラインを開放状態としておき、基板ラインに対して高電圧を印加し、ワードラインを接地電位とし、
情報の読み出し時に、ビットラインおよび基板ラインを接地電位としておき、読み出しを行なう不揮発性記憶素子が接続されているワードラインに対してセンス電圧を印加し、ソースラインに対して読出電圧を印加し、他のワードラインに対して接地電圧を印加することを特徴とする不揮発性記憶装置の駆動方法。

【請求項4】請求項3記載の不揮発性記憶装置の駆動方法において、
情報の消去時に、上記一括消去に代えて不揮発性記憶素子に記憶されている情報を選択的に消去するため、ビットラインおよびソースラインを開放状態としておき、基板ラインに対して高電圧を印加し、消去を行なう不揮発性記憶素子に接続されているワードラインを接地電位とし、他のワードラインに対して高電圧を印加することを特徴とする不揮発性記憶装置の駆動方法。

【請求項5】請求項1記載の不揮発性記憶素子を製造す

るための方法であって、

半導体基板上に、電荷蓄積膜およびゲート電極を順次形成した後、ゲート電極上にレジストを塗布し、レジストをマスクとして、ドレイン領域となる側からソース領域となる側に向かって、半導体基板の鉛直線に対して所定の傾斜角をもって不純物を注入拡散させて、チャンネル領域を挟んでソース領域およびドレイン領域を形成する工程を含むことを特徴とする不揮発性記憶素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、不揮発性記憶素子およびこの製造方法ならびにその不揮発性記憶素子を利用した不揮発性記憶装置およびこの記憶装置の駆動方法に関するものである。

【0002】

【従来の技術】従来から、電荷を蓄積することで情報を半永久的に記憶する不揮発性記憶素子（以下、「不揮発性メモリセル」という。）を複数個接続して、所望の不揮発性メモリセルに情報の書き込み、消去が自由に行なえる不揮発性記憶装置（以下、「不揮発性メモリ」という。）が知られている。このような不揮発性メモリの一例を図12に示す。

【0003】上記不揮発性メモリは、電荷を蓄積するゲート絶縁膜を有するメモリトランジスタ1A、1B、1C、1Dと、メモリセル選択用のセレクトトランジスタ2A、2B、2C、2Dとをメモリセル3A、3B、3C、3Dとした、いわゆる2トランジスタ/1セル構造を有しており、これらメモリセル3A、3B、3C、3Dは単一の半導体基板上でマトリクス状に配列形成して構成されている。

【0004】ところで、近年、半導体産業の発展に伴い、不揮発性メモリの高集積化が要求されている。この要求に応えるためには、メモリセル回路の集積度を向上させることが考えられるが、上記不揮発性メモリは、2トランジスタ/1セル構造を有しているため、高集積化に対応することに限界があった。そこで、不揮発性メモリの高集積化に対応するために、図13に示すようにメモリトランジスタのみを不揮発性メモリセルとした、1トランジスタ/1セル構造を有する不揮発性メモリが提案された。

【0005】上記不揮発性メモリは、メモリトランジスタ1A、1B、1C、1Dをメモリセル3A、3B、3C、3Dとした1トランジスタ/1セル構造を有しており、これらメモリセル3A、3B、3C、3Dが、単一の半導体基板上でマトリクス状に配列形成して構成されている。なお、以下の説明において、これらメモリトランジスタ1A、1B、1C、1Dを総称するときは「メモリトランジスタ1」という。

【0006】しかしながら、この不揮発性メモリは、1

トランジスタ／1セル構造を有しているものの、情報を読み出すために読出電圧が印加されるソースラインSL1、SL2を独立させて、各メモリトランジスタ1のソースに読出電圧を印加することで情報の読み出しを行なっているため、ソースライン毎に読出電圧を印加する手段が必要となって回路構成が複雑になるばかりか、さらなる高集積化に貢献できなかった。

【0007】上記に対処するために、図14に示すように、ソースラインを共通接続した1トランジスタ／1セル構造の不揮発性メモリが提案された。この不揮発性メモリでは、ソースラインSLを共通接続したことにより、情報を読み出すための読出電圧を印加する手段をソースライン毎に設ける必要が解消されたため、回路構成が簡素化され、さらなる高集積化が可能となった。なお、その他の構成は図13で示した不揮発性メモリと同じである。

【0008】上記不揮発性メモリにおける情報の書込動作について、図14を参照して説明する。たとえば、図14において、メモリトランジスタ1Aに情報の書き込みを行うとすると、ソースラインSLおよび基板ラインSUBに接地電位をしておき、メモリトランジスタ1Aが接続されているワードラインWL1に高電圧10Vを印加し、メモリトランジスタ1Aを選択するために、ビットラインBL1に書込電圧6Vを印加する。一方、非選択のメモリトランジスタが接続されているワードラインWL2は接地電位としておき、ビットラインBL2には、書込禁止電圧0Vを印加する。

【0009】そうすると、メモリトランジスタ1Aのゲート絶縁膜に電荷が蓄積され、情報の書き込みが行われる。上記メモリトランジスタの動作原理について、図15を参照しつつ説明する。図15は、メモリトランジスタの原理的構成を示す概念図である。このメモリトランジスタは、MONOSFET (Metal Oxide Nitride Oxide Silicon Field Effect Transistor) であって、チャネル領域4を挟んで、N⁺型ソース領域5およびN⁺型ドレイン領域6が形成されたP型シリコン基板7と、このP型シリコン基板7上において、チャネル領域4上に形成されたゲート絶縁膜8 (以下、「ONO膜8」という。) と、このONO膜8を介してチャネル領域4上に設けられたゲート電極9とを備えている。ONO膜8は、電荷を蓄積する窒化膜10を、トンネル酸化膜11およびブロック酸化膜12で挟持した、いわゆるサンドイッチ構造を有している。

【0010】そして、書き込み時においては、ソース領域5およびシリコン基板7に接地電位0Vを印加しておき、ゲート電極9に高電圧10Vを印加し、ドレイン領域6に書込電圧6Vを印加すると、ソースドレイン間に飽和チャネル電流が流れる。すると、ドレイン領域6近傍のピンチオフ領域で、高電界により加速された電子がイオン化を起こし、高エネルギーをもつ電子、いわく

るホットエレクトロンが発生する。このホットエレクトロンが、トンネル酸化膜11をFNトンネルして窒化膜10に注入、蓄積される。

【0011】

05 【発明が解決しようとする課題】しかしながら、上記不揮発性メモリにおいては、書き込み時に、非選択のメモリトランジスタにいわゆる書込ディスタ urb が起こるという欠点があった。たとえば、図13においてメモリトランジスタ1Aを選択した場合、メモリトランジスタ1AとビットラインBL1を共有しているメモリトランジスタ1Cにおいては、図16(a)、(b)のように、このメモリトランジスタ1Cのゲート電極9に接地電位0Vが、ドレイン領域6に書込電圧6Vがそれぞれ印加されることになり、いわゆるドレインディスタ urb が発生する。

15 【0012】すなわち、図16(a)のように、メモリトランジスタ1CのONO膜8にエレクトロンが蓄積されている場合には、ゲートドレイン間には、選択されたメモリトランジスタ1Aとの逆方向の電位差が生じることによって、エレクトロンがドレイン領域6側に引き抜かれて情報が破壊されてしまう。一方、図16(b)のように、メモリトランジスタ1CのONO膜8にエレクトロンが蓄積されていない場合には、ソースドレイン間の電位差によって、ドレイン領域6の近傍付近のピンチオフ領域で発生した、わずかなホットエレクトロンがONO膜8に注入され、いわゆるソフトライトが生じる。

【0013】また、メモリトランジスタ1AとワードラインWL1を共有しているメモリトランジスタ1Bでは、図17のように、このメモリトランジスタ1Bのゲート電極9に高電圧10Vが印加されているため、ドレイン領域6に溜められている電子がゲート電極9側に引き抜かれて、ONO膜8に注入される、いわゆるゲートディスタ urb が発生する。

35 【0014】本発明は、上記に鑑み、高集積化を図りつつ、書込ディスタ urb を防止できる不揮発性記憶素子およびこの製造方法ならびにその不揮発性記憶素子を利用した不揮発性記憶装置およびこの装置の駆動方法の提供である。

40 【0015】

【課題を解決するための手段および作用】上記の目的を達成するための本発明の不揮発性記憶素子は、電荷を蓄積することで情報の記憶を行なう不揮発性記憶素子において、チャネル領域ならびに、そのチャネル領域を挟んでソース領域およびドレイン領域が形成された半導体基板と、上記半導体基板上の、ソース領域と隣接する予め定める領域を除くチャネル領域上に形成された電荷を蓄積するための電荷蓄積膜と、上記予め定める領域を除くチャネル領域上に、電荷蓄積膜を介して設けられたゲート電極とを含むものである。

【0016】そして、上記不揮発性記憶素子を利用した不揮発性記憶装置は、上記不揮発性記憶素子が、半導体基板上にマトリクス状に配列形成され、上記マトリクス状に配列された不揮発性記憶素子の行方向に並んだ素子のゲート電極は、それぞれワードラインで接続され、列方向に並んだ素子のドレイン領域は、それぞれビットラインで接続され、全素子のソース領域は、共通のソースラインで接続され、上記半導体基板には、共通の基板ラインが設けられているものである。

【0017】この不揮発性記憶装置は、1トランジスタ/1セル構造を有しているもので、高集積化に貢献する。上記不揮発性記憶装置の駆動方法は、情報の書き込み時に、ソースラインおよび基板ラインを接地電位としておき、書き込みを行なう不揮発性記憶素子が接続されているワードラインに対して高電圧を印加し、書き込みを行なう不揮発性記憶素子を選択するため、当該不揮発性記憶素子が接続されているビットラインに対して書込電圧を印加し、他のワードラインを接地電位とし、他のビットラインに対して書込禁止電圧を印加し、情報の消去時に、各不揮発性記憶素子に記憶されている情報を一括消去するため、ビットラインおよびソースラインを開放状態としておき、基板ラインに対して高電圧を印加し、ワードラインを接地電位とし、情報の読み出し時に、ビットラインおよび基板ラインを接地電位としておき、読み出しを行なう不揮発性記憶素子が接続されているワードラインに対してセンス電圧を印加し、ソースラインに対して読出電圧を印加し、他のワードラインを接地電圧とするものである。

【0018】上記情報の書き込み時では、選択された不揮発性記憶素子のソース領域およびゲート電極の間は、常にオフセット領域となる。一方、上記不揮発性記憶素子のゲート電極は高電圧が印加され、半導体基板は接地電位とされているので、ゲート-基板間に電位差が生じる。このため、ゲート-基板間にはF Nトンネル電流が流れるとともに、オフセット領域を除くチャネル領域に発生する電荷が、このF Nトンネル電流によって電荷蓄積膜に注入され、情報が書き込まれる。

【0019】また、非選択の不揮発性記憶素子において、選択された不揮発性記憶素子とビットラインを共有する不揮発性記憶素子では、ゲート-基板間に電位差が生じない。このため、ゲート-基板間にF Nトンネル電流および電荷が発生しないので、情報は書き込まれない。つまり、非選択の不揮発性記憶素子では、いわゆるドレインディスタースは発生しない。

【0020】また、選択された不揮発性記憶素子とワードラインを共有する不揮発性記憶素子では、ゲート-基板間に電位差は生じるものの、ドレイン領域のPN接合部の空乏層がオフセット領域の境界まで拡がり、この空乏層がF Nトンネル電流を遮断する。このため、電荷蓄積膜に対するF Nトンネル電流による電荷の注入は行な

われず、いわゆるゲートディスタースは発生しない。

【0021】この書き込み時においては、オフセット領域を除くチャネル領域全体にチャネルが形成される。上記情報の消去時では、不揮発性記憶素子に書き込み時の逆バイアスがかかり、電荷蓄積膜に蓄積されている電荷が半導体基板に逃げることにより、不揮発性記憶素子に記憶されている情報の一括消去が行なわれる。

【0022】上記情報の読み出し時では、不揮発性記憶素子のソース領域の空乏層がオフセット領域の境界まで拡がるので、電荷蓄積膜に電荷が蓄積されている場合、すなわち情報が書き込まれている場合は、空乏層が書き込み時に形成されたチャネルと繋がって、ソース領域とドレイン領域との間にチャネルが形成され、不揮発性記憶素子は導通する。一方、情報が書き込まれていない場合は、ソース領域とドレイン領域との間にチャネルが形成されないで、不揮発性記憶素子は導通しない。この状態をセンシングすれば、ワードライン毎に一括読出が行なわれる。

【0023】なお、上記駆動方法の消去時において、ビットライン、ソースラインを開放状態としておき、基板ラインに対して高電圧を印加し、選択された不揮発性記憶素子に接続されているワードラインを接地電位とし、他のワードラインに対して高電圧を印加してもよい。この場合、接地電位とされるワードラインに接続されている不揮発性記憶素子にのみ、書込時の逆バイアスがかかるため、情報がワードライン毎に分割消去される。

【0024】上記不揮発性記憶素子の製造方法は、半導体基板上に、電荷蓄積膜およびゲート電極を順次形成した後、ゲート電極上にレジストを塗布し、レジストをマスクとして、ドレイン領域となる側からソース領域となる側に向かって斜め上方向から不純物を注入拡散させて、チャネル領域を挟んでソース領域およびドレイン領域を形成する工程を含むものである。

【0025】このため、不純物の注入角あるいはレジストの厚みを変えるだけで、ゲート電極とソース領域との間、すなわちオフセット領域の長さを容易かつ高精度に形成できる。

【0026】

【実施例】以下、本発明の一実施例を図1ないし図11を参照して詳細に説明する。本実施例の不揮発性記憶装置（以下、「不揮発性メモリ」という。）は、図1、2に示すメモリトランジスタを図4のように配置して回路構成したものである。

【0027】図1は、本実施例のメモリトランジスタの原理的構成を示す概略図であり、この図を参照して、メモリトランジスタの原理的構成を説明する。本実施例のメモリトランジスタは、MONOSFET (Metal Oxide NitrideOxide Semiconductor Field Effect Transistor) であって、チャネル領域30ならびに、チャネル領域30を挟んでN⁺型ソース領域31およびN⁺型ド

レイン領域32が形成されたP型シリコン基板33と、シリコン基板33上のソース領域31の端部から所定の間隔D(たとえば0.1~0.5 μ m)をあけたソース領域31と隣接する予め定める領域を除くチャネル領域30上に形成されたゲート絶縁膜34と、前記予め定める領域を除くチャネル領域30上にゲート絶縁膜34を介して設けられたゲート電極35とを備えており、ゲート絶縁膜34に電荷を蓄積することにより情報の記憶を行なう。

【0028】ゲート絶縁膜34は、電荷を蓄積するSi, N_iからなる窒化膜34Aを、SiO₂からなるトンネル酸化膜34Bおよびブロック酸化膜34Cで挟持した、いわゆるサンドイッチ構造を有している。なお、以下の説明において、ゲート絶縁膜34は「ONO(Oxide Nitride Oxide)膜34」という。さらに、図2の断面図を参照して、メモリトランジスタの構成について、詳細に説明する。

【0029】ゲート電極35は、ポリシリコンからなり、その周囲は層間絶縁膜36で覆われている。そして、層間絶縁膜36上に、コンタクトホール37を通じてドレイン領域32と接続するよう、後述するビットラインとなるアルミニウム配線38が積層されており、アルミニウム配線38上には、パッシベーション膜39が積層されている。なお、図2中40は、素子分離のためのフィールド酸化膜である。

【0030】図3は、上記メモリトランジスタの製造方法を工程順に示す断面図であり、図4は図3(e)の工程を拡大して示す図である。まず、図3(a)のように、P型シリコン基板33上にLOCOS(Local Oxidation Of Silicon)法により、フィールド酸化膜40を形成する。次いで、図3(b)のように、シリコン基板33およびフィールド酸化膜40上にONO膜34を形成する。すなわち、反応ガスとしてO₂, N₂を使用してドライ酸化により、たとえば膜厚20~30Å程度のSiO₂からなるトンネル酸化膜34Bを形成し、トンネル酸化膜34B上に、LPCVD(Low Pressure Chemical Vapor Deposition)法により、膜厚80Å程度のSi, N_iからなる窒化膜34Aを堆積し、さらに窒化膜34A上に、水蒸気酸化により、たとえば膜厚35Å程度のSiO₂からなるブロック酸化膜34Cを形成する。ドライ酸化条件は、反応ガスの割合をO₂:N₂=1:10、酸化温度を900℃とすればよく、気相成長条件は、成長温度を850℃とすればよく、水蒸気酸化条件は、酸化温度を900℃とすればよい。

【0031】そして、図3(c)のように、たとえばLPCVD法により、ONO膜34上にポリシリコン膜41を積層した後、導電性を付与するため、ポリシリコン膜41に対してリンをドーピングする。そして、メモリトランジスタの動作領域となる箇所にレジスト42を塗布する。そして、図3(d)のように、RIE(Reactive I

on Etching)により、動作領域となる部分を残しながら、ポリシリコン膜41およびONO膜34の一部を除去して、ゲート電極35を形成する。

【0032】その後、図3(e)のように、レジスト42の右斜め上方向からレジスト42、ゲート電極35およびONO膜34をマスクとして、たとえばインプラ(Implant)により、リンイオンをドーピングして拡散する。この際の不純物の注入角 θ は、たとえばシリコン基板33の表面からレジスト42までの厚さdを1 μ m程度とした場合、シリコン基板33の鉛直線に対して10°程度とする(図4参照)。

【0033】そうすると、図3(f)のように、シリコン基板33の表層部に、チャネル領域30を挟んでN⁺型ソース領域31およびN⁺ドレイン領域32が形成される。この工程において、ゲート電極35とソース領域31との間隔は0.1~0.5 μ m程度が望ましい。つぎに、図3(g)のように、レジスト42を除去した後、ゲート電極35およびONO膜34の周囲にSiO₂からなる層間絶縁膜36を積層し、ドレイン領域32上にコンタクトホール37を形成する。そして、このコンタクトホール37を通じてドレイン領域32と接続するようにアルミニウム配線38が層間絶縁膜36上に積層し、さらにアルミニウム配線38上にパッシベーション膜39を積層する。

【0034】このように、図3(e), (f)の工程において、ゲート電極35上にレジスト42を塗布し、レジスト42、ゲート電極35およびONO膜34をマスクとして、ドレイン領域32となる側からソース領域31となる側に向かって、斜め上方向からインプラして不純物を注入拡散させて、チャネル領域30を挟んでソース領域31およびドレイン領域32を形成しているの

で、不純物の注入角 θ あるいはレジスト42の厚みを変えるだけで、ONO膜34およびゲート電極35と、ソース領域31との間隔Dを制御でき、後述するオフセット領域となる長さを0.2~0.3 μ m程度に容易かつ高精度に形成できる。

【0035】また、斜めインプラすることで、図4のように、ソース領域31は、見掛け上、不純物濃度が濃いN⁺層31Aと不純物濃度が薄いN⁻層31Bとを有する、いわゆる2重拡散構造を有するようになり、ソース領域31に読出電圧を印加したときのソース領域31の空乏層の拡がりが大きくなる。そのため、後述する情報の読み出しの際において、低い読出電圧で空乏層がドレイン領域側のオフセット領域の境界まで延びるようにな

る。

【0036】上記メモリトランジスタを用いた不揮発性メモリの電氣的構成を図5を参照して説明する。図5は、上記不揮発性メモリの等価回路図である。この不揮発性メモリは、図5のように、上記メモリトランジスタ50I, 50J, 50Kおよび50Lを不揮発性記憶素

子（以下、「不揮発性メモリセル」という。）60I, 60J, 60Kおよび60Lとした1トランジスタ/1セル構造を有しており、これら不揮発性メモリセル60I, 60J, 60K, 60Lが、単一のシリコン基板上でマトリクス状に配列形成されている。なお、以下の説明において、これらメモリトランジスタ50I, 50J, 50K, 50Lを総称するときは「メモリトランジスタ50」という。

【0037】そして、メモリトランジスタ50I, 50Jおよび50K, 50LのゲートにはワードラインWL1およびWL2がそれぞれ接続されている。また、メモリトランジスタ50I, 50Kおよび50J, 50Lの

ドレインにはビットラインBL1およびBL2がそれぞれ接続されており、ソースにはソースラインSLがそれぞれ共通に接続されている。さらに、メモリトランジスタ50の基板には、共通の基板ラインSUBが設けられている。

【0038】上記不揮発性メモリにおける情報の書き込み、消去、読み出しの動作について、表1および図6ないし図8を参照して説明する。なお、表1および図6ないし図8は、メモリトランジスタ50Iを選択した場合を想定している。

【0039】

【表1】

| | WL1 | WL2 | BL1 | BL2 | SL | SUB |
|-------|-----|-----|------|------|------|-----|
| WRITE | 10 | 0 | 0 | 7 | 0 | 0 |
| ERASE | 0 | 0 | OPEN | OPEN | OPEN | 10 |
| READ | 2 | 0 | 0 | 0 | 5 | 0 |

（単位：V）

【0040】＜書き込み(WRITE)＞図6は書き込み時の不揮発性メモリの等価回路図である。たとえば、図6におけるメモリトランジスタ50Iに対して情報の書き込みを行うとする。まず、ソースラインSLおよび基板ラインSUBに対してそれぞれ0Vを印加して接地電位とするとともに、書き込みを行うメモリトランジスタ50Iが接続されているワードラインWL1に対して高電圧10Vを印加し、メモリトランジスタ50Iを選択するために、メモリトランジスタ50Iが接続されているビットラインBL1に対して書込電圧0Vを印加する。一方、非選択のメモリトランジスタ50Kが接続されているワードラインWL2に対しては0Vを印加し接地電位とするとともに、ビットラインBL2に対しては書込禁止電圧7Vを印加する。

【0041】そうすると、メモリトランジスタ50Iのゲート-基板間にFNトンネル電流が生じ、このFNトンネル電流によって電子がONO膜34に注入され、情報が書き込まれる。一方、メモリトランジスタ50J, 50Kおよび50Lでは、各メモリトランジスタのゲート-基板間にFNトンネル電流が生じず、電子がONO膜34に注入されないで、情報は書き込まれない。

【0042】次に、メモリトランジスタ50Jに対して情報の書き込みを行なうとする。この場合、ワードラインWL1, WL2、ソースラインSLおよび基板ラインSUBには上記のメモリトランジスタ50Iに対するのと同じように所定電圧を印加しておき、ビットラインB

L1に書込禁止電圧を印加し、ビットラインBL2に書込電圧を印加する。

【0043】そうすると、メモリトランジスタ50Jのゲート-基板間にFNトンネル電流が流れ、これにより、メモリトランジスタ50JのONO膜34に電子が注入されて、情報の書き込みが行なわれる。ONO膜34に電子が蓄積された状態と、蓄積されていない状態とでは、ソースドレイン間を導通させるために必要なゲート電圧が変化する。すなわち、ソースドレイン間を導通させるためのしきい値電圧 V_{th} は、ONO膜34に電子を注入した状態では高いしきい値 V_1 （たとえば5V）をとり、電子が未注入の状態では低いしきい値 V_2 （たとえば1V）をとる。

【0044】このように、しきい値電圧 V_{th} を2種類に設定することで「1」または「0」の2値データをメモリトランジスタに記憶させることができる。

＜消去(ERASE)＞図7は消去時における不揮発性メモリの等価回路図である。情報の消去時においては、メモリトランジスタ50のソースラインSL、ビットラインBL1, BL2をOPENとし、ワードラインWL1, WL2を接地電位0Vとするとともに、基板ラインSUBに対して高電圧10Vを印加する。なお、全てのビットラインBL1, BL2, BL3をOPENにするのは、基板から拡散層に向かう方向が順方向となり、順方向電流が流れるのを防ぐためである。

【0045】そうすると、各メモリトランジスタ50に

対して、書き込み時の逆バイアスがかかり、ONO膜34に蓄積されているエレクトロンが基板に逃げることであり、各メモリトランジスタ50に記憶されている情報が一括消去される。

＜読み出し(READ)＞図8は読み出し時の不揮発性メモリの等価回路図である。情報の読み出しは、ソースラインSLが共通接続されているので、ワードライン毎に一括読出される。たとえば、ワードラインWL1に接続されているメモリトランジスタ50I、50Jに記憶されている情報の読み出しを行うとする。まず、基板ラインSUBおよびビットラインBL1、BL2に対して0Vを印加し接地電位としておき、読み出しを行うメモリトランジスタ50I、50Jが接続されているワードラインWL1に対してセンス電圧2Vを印加して、ソースラインSLに対して読出電圧5Vを印加し、メモリトランジスタ50I、50Jが接続されていないワードラインWL2に対しては0Vを印加して接地電位とする。

【0046】そうすると、メモリトランジスタ50I、50JのONO膜34にエレクトロンが蓄積されている、すなわち情報が記憶されていれば、メモリトランジスタ50I、50Jのソースドレイン間が導通し、チャンネルが形成される。一方、メモリトランジスタ50I、50JのONO膜34にエレクトロンが蓄積されていない、すなわち情報が記憶されていなければ、メモリトランジスタ50I、50Jのソースドレイン間が導通せず、チャンネルが形成されない。この状態を外部に接続したデコーダおよびセンスアンプ(図示せず)によってセンシングすれば、メモリトランジスタ50I、50Jに記憶されている情報を読み出すことができる。

【0047】ここで、センス電圧とは、上記しきい値電圧 V_{th} の2種類の値V1、V2の中間的な電圧である。したがって、このセンス電圧を印加すると、ONO膜34にエレクトロンが蓄積されているか否かで、ソースドレイン間の導通、非導通が決定される。上記メモリトランジスタ50の動作原理について、図9ないし図11を参照して説明する。図9は情報の書き込み時、図10は消去時、図11は読み出し時のメモリトランジスタ50の概念図を示す。

＜書き込み＞たとえば、図6において、メモリトランジスタ50Iに情報の書き込みを行うとする。このとき、図9(a)のように、選択されたメモリトランジスタ50Iのソース領域31は接地電位0Vとされているので、ONO膜34とソース領域31との間のチャンネル領域30は、常にオフセット領域OSとなる。一方、メモリトランジスタ50Iのゲート電極35は高電圧10Vが印加され、ドレイン領域32およびシリコン基板33は接地電位0Vとされているので、ゲート-基板間に電位差が生じる。

【0048】このため、ゲート-基板間にはFNトンネル電流が流れるとともに、オフセット領域OSを除くチ

ャネル領域30全体にエレクトロンが発生し、このエレクトロンがFNトンネル電流によってONO膜34に注入され、情報が書き込まれる。このとき、図中の斜線で示すように、オフセット領域OS領域を除くチャネル領域全体にチャンネルが形成される。

【0049】また、図9(b)のように、非選択のメモリトランジスタにおいて、選択されたメモリトランジスタ50Iとビットラインを共有するメモリトランジスタ50Kでは、ソース領域31、ドレイン領域32、ゲート電極35およびシリコン基板33は全て接地電位0Vとなっているので、ゲート-基板間に電位差が生じない。このため、ゲート-基板間にFNトンネル電流およびエレクトロンが発生しないので、情報は書き込まれない。つまり、メモリトランジスタ50Kでは、いわゆるドレインディスタースは発生しない。

【0050】すなわち、メモリトランジスタ50Kに情報が書き込まれている場合は、ゲート-基板間に電位差が生じていないことにより、ONO膜34に蓄積されているエレクトロンがドレイン領域32に引き抜かれられないため、情報は破壊されない。一方、メモリトランジスタ50Kに情報が書き込まれていない場合は、エレクトロンがONO膜34に注入されず、ソフトライトされない。

【0051】また、図9(c)のように、非選択のメモリトランジスタにおいて、選択されたメモリトランジスタ50Iとワードラインを共有するメモリトランジスタ50Jでは、ソース領域31および基板33は接地電位とされており、ゲート電極35には高電圧10Vが印加されており、ドレイン領域32には書き込禁止電圧7Vが印加されているので、ゲート-基板間に電位差は生じるものの、ドレイン領域32のPN接合部の空乏層46がオフセット領域OSの境界まで拡がり、この空乏層46がFNトンネル電流を遮断する。

【0052】このため、ONO膜34に対するFNトンネル電流によるエレクトロンの注入は行なわれず、いわゆるゲートディスタースは発生しない。

＜消去＞図10(a)のように、消去時には、メモリトランジスタ50のソース領域31およびドレイン領域32はOPEN、ゲート電極35は接地電位0Vとされており、シリコン基板33は高電圧10Vが印加されているので、メモリトランジスタ50のゲート-基板間に書き込み時の逆バイアスがかかる。

【0053】このため、ONO膜34に蓄積されているエレクトロンが、シリコン基板33に逃げることであり、図10(b)のように、メモリトランジスタ50に記憶されている情報の消去が行なわれる。

＜読み出し＞図11(a)のように、読み出し時には、メモリトランジスタ50のドレイン領域32およびシリコン基板33は接地電位0Vとされており、ゲート電極35にはセンス電圧2Vが印加され、ソース領域31に

は読出電圧5Vが印加されているので、ソース領域31の空乏層47がオフセット領域OSの境界まで広がる。

【0054】このとき、ONO膜34にエレクトロンが蓄積されている場合、すなわち情報が書き込まれている場合は、空乏層47が書き込み時に形成されたチャンネル(図中斜線で示す)と繋がって、図11(b)のように、ソース領域31とドレイン領域32との間にチャンネルが形成され、メモリトランジスタ50が導通する。一方、ONO膜34にエレクトロンが蓄積されていない場合、すなわち情報が書き込まれている場合は、ソース領域31とドレイン領域32との間にはチャンネルは形成されず、メモリトランジスタ50は導通しない。

【0055】以上のように、本実施例では、メモリトランジスタは、ゲート基板間にオフセット領域を形成するために、ゲートおよびONO膜をソース領域と所定の間隔をあけて配置しているので、情報の書き込み時に、ソースラインおよび基板ラインを接地電位としておき、書き込みを行なうメモリトランジスタに接続されているワードラインに高電圧を印加し、書き込みを行なうメモリトランジスタを選択するために、そのメモリトランジスタに接続されているビットラインに書込電圧を印加すると、選択されたメモリトランジスタにおいては、オフセット領域を除くチャンネル領域にエレクトロンが発生し、このエレクトロンがゲート基板間に流れるFNTトンネル電流によりONO膜に注入され、情報が書き込まれる。

【0056】一方、メモリトランジスタに対する書き込み時において、非選択のメモリトランジスタが接続されているワードラインを接地電位とし、ビットラインに対して書込禁止電圧を印加しているため、選択されたメモリトランジスタとビットラインを共有する非選択のメモリトランジスタにおいては、ゲート基板間に電位差が生じないため、FNTトンネル電流およびエレクトロンが発生せず、また選択されたメモリトランジスタとワードラインを共有する非選択のメモリトランジスタにおいては、ゲート基板間に電位差は生じるものの、ドレイン領域のPN接合部の空乏層がオフセット領域の境界にまで広がり、FNTトンネル電流を遮断するため、ONO膜に対するFNTトンネル電流によるエレクトロンの注入は行なわれない。

【0057】すなわち、書き込み時における非選択のメモリトランジスタの書込ディスタ urbを防止することができる。なお、本発明は上述の実施例に限定されるものではない。たとえば、情報の消去時に、ビットラインおよびソースラインをOPENとしておき、基板ラインに対して高電圧を印加し、消去を行なうメモリトランジスタに接続されているワードラインを接地電位とし、他のワードラインに対して高電圧を印加すれば、接地電位とされるワードラインに接続されているメモリトランジスタにのみ、書き込み時の逆バイアスがかかるため、情報

がワードライン毎に分割消去される。

【0058】その他、本発明の要旨を変更しない範囲で種々の設計変更を施すことが可能である。

【0059】

05 【発明の効果】以上のように、請求項1ないし4においては、不揮発性記憶装置の高集積化を図りつつ、情報の書き込み時において、書込ディスタ urbを防止できる。さらに、請求項4においては、ワードライン毎の情報が消去できる分割消去が可能である。

10 【0060】また、請求項5においては、ゲート電極とソース領域との間隔を、レジストの厚みや注入角で制御することができる。

【図面の簡単な説明】

15 【図1】本発明の不揮発性記憶素子の原理的構成を示す図である。

【図2】不揮発性記憶素子の断面図である。

【図3】不揮発性記憶素子の製造方法を工程順に示す図である。

【図4】不純物を注入拡散する工程の拡大図である。

20 【図5】本発明の不揮発性記憶装置の等価回路図である。

【図6】書き込み時の不揮発性記憶装置の等価回路図である。

25 【図7】消去時の不揮発性記憶装置の等価回路図である。

【図8】読み出し時の不揮発性記憶装置の等価回路図である。

【図9】書き込み時の不揮発性記憶素子の動作原理を示す図である。

30 【図10】消去時の不揮発性記憶素子の動作原理を示す図である。

【図11】読み出し時の不揮発性記憶素子の動作原理を示す図である。

35 【図12】2トランジスタ/1セル構造を有する従来の不揮発性記憶装置の等価回路図である。

【図13】ソースラインを独立させた従来の不揮発性記憶装置の等価回路図である。

【図14】ソースラインを共通にした従来の不揮発性記憶装置の等価回路図である。

40 【図15】従来の不揮発性記憶素子の書き込み時の動作原理を示す概念図である。

【図16】従来の不揮発性記憶素子のドレインディスタ urbを示す図である。

45 【図17】従来の不揮発性記憶素子のゲートディスタ urbを示す図である。

【符号の説明】

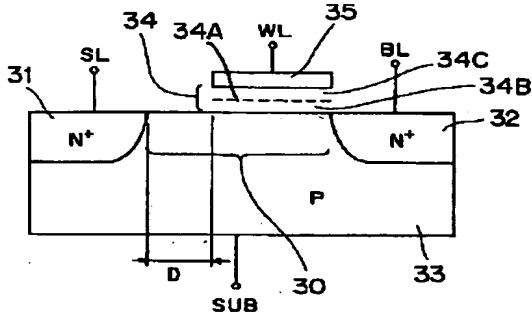
3A, 3B, 3C, 3D, 60I, 60J, 60K, 60L 不揮発性メモリセル

1, 1A, 1B, 1C, 1D, 50, 50I, 50J, 50K, 50L メモリトランジスタ

4, 30 チャネル領域
5, 31 ソース領域
6, 32 ドレイン領域
7, 33 半導体基板
8, 34 ONO膜
9, 35 ゲート電極

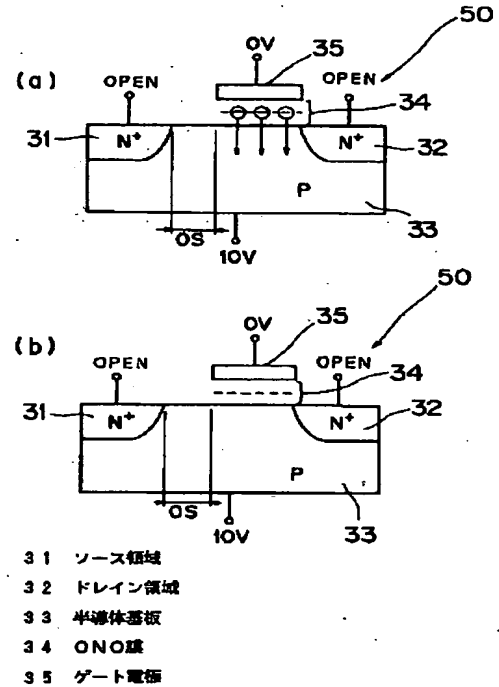
42 レジスト
D 所定の間隔
SL, SL1, SL2 ソースライン
BL1, BL2 ビットライン
05 WL1, WL2 ワードライン
SUB 基板ライン

【図1】



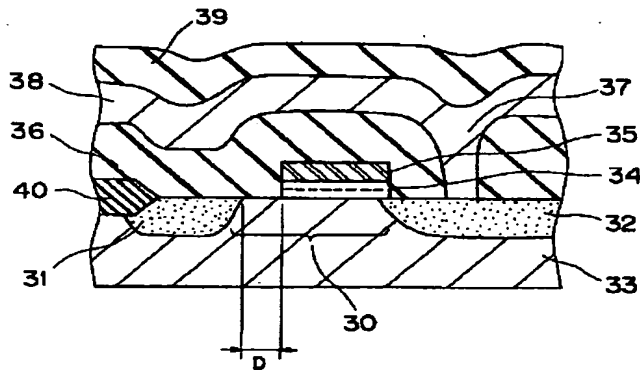
30 チャネル領域
31 ソース領域
32 ドレイン領域
33 半導体基板
34 ONO膜
35 ゲート電極
D 所定の間隔

【図10】



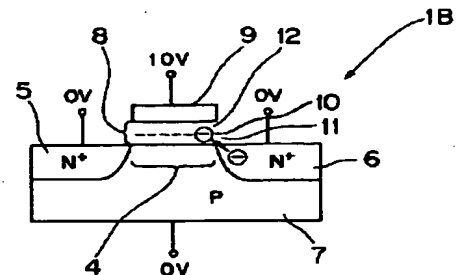
31 ソース領域
32 ドレイン領域
33 半導体基板
34 ONO膜
35 ゲート電極

【図2】



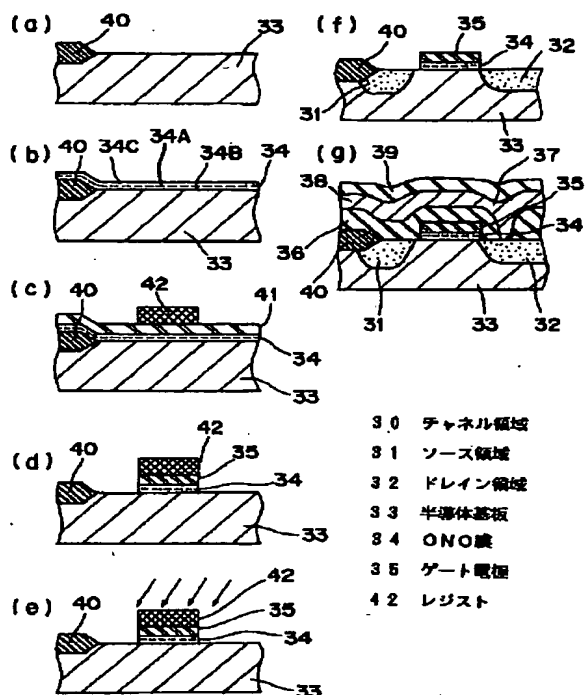
30 チャネル領域
31 ソース領域
32 ドレイン領域
33 半導体基板
34 ONO膜
35 ゲート電極
D 所定の間隔

【図17】

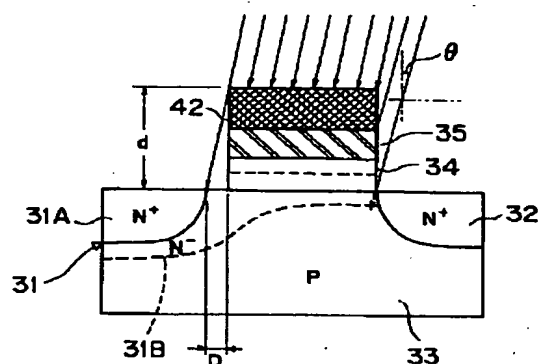


4 チャネル領域
5 ソース領域
6 ドレイン領域
7 半導体基板
8 ONO膜
9 ゲート電極

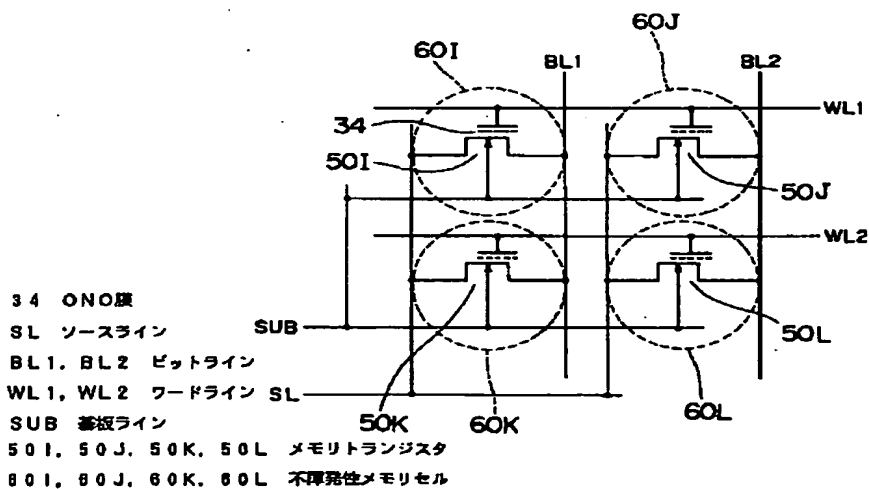
【図3】



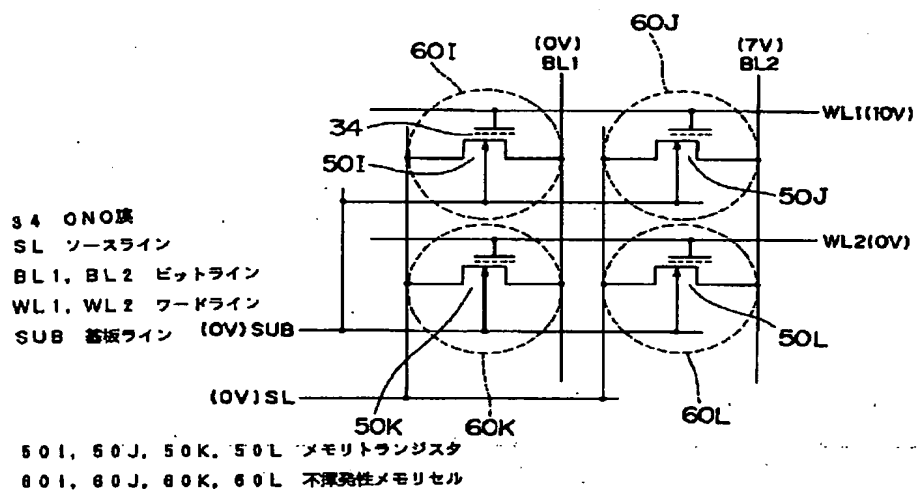
【図4】



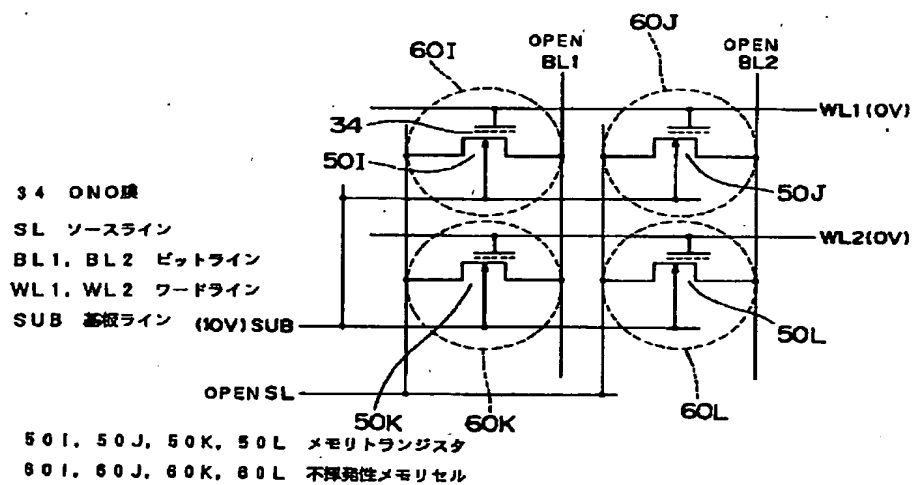
【図5】



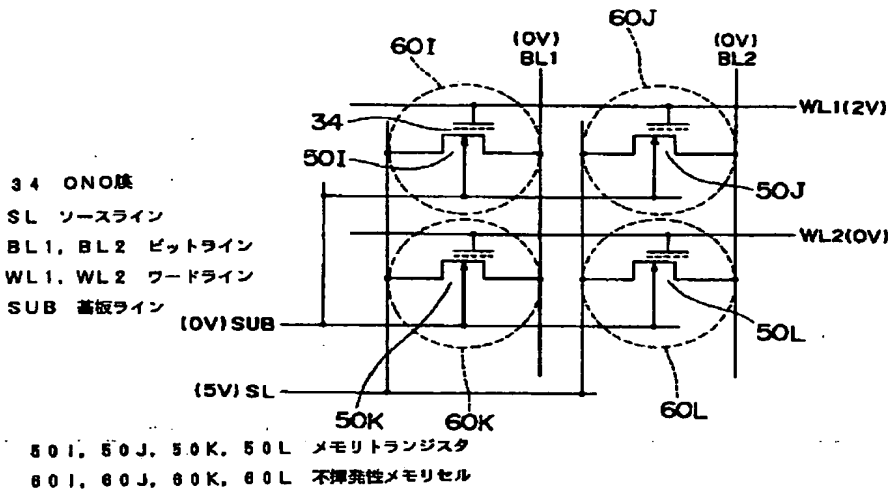
【図6】



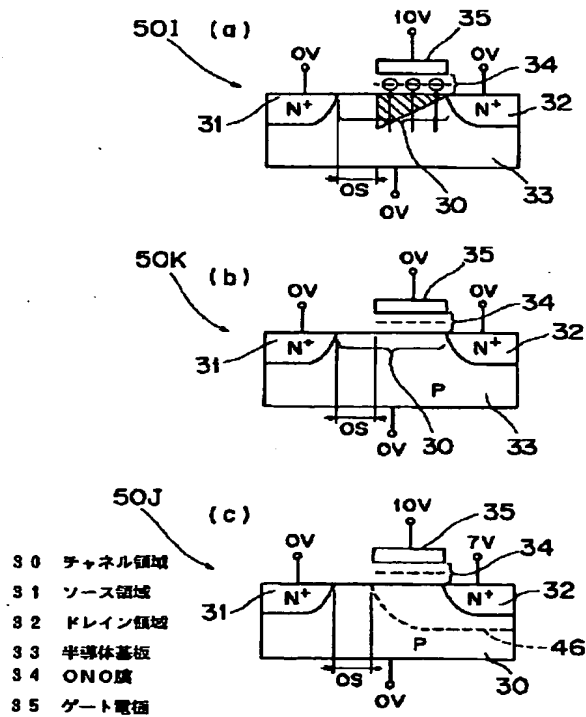
【図7】



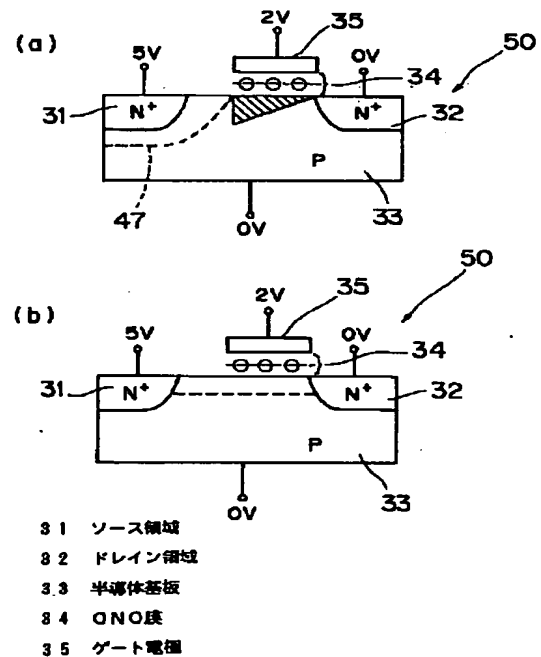
【図8】



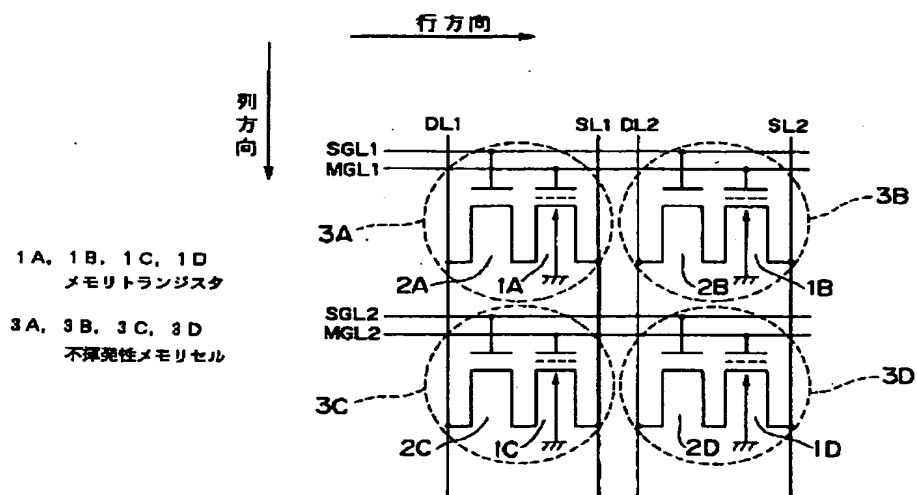
【図9】



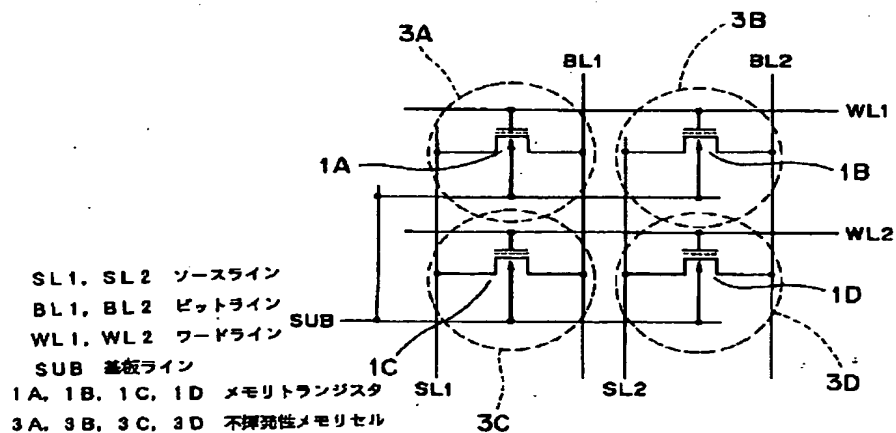
【図11】



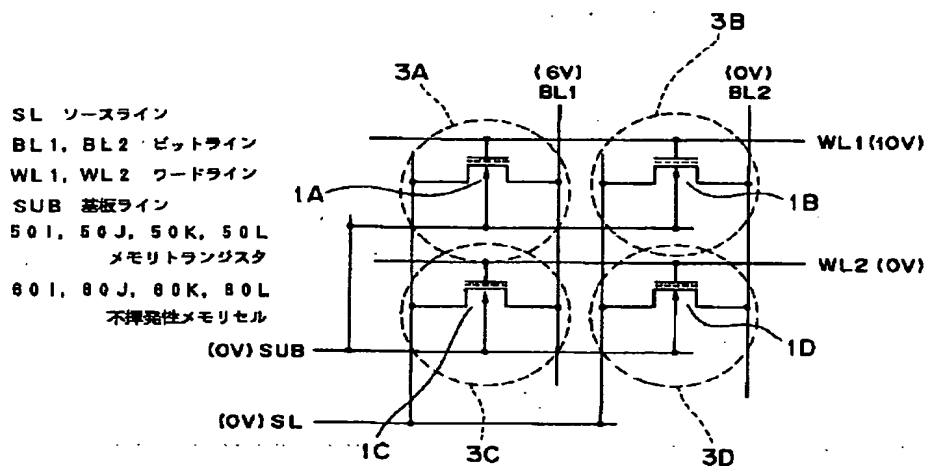
【図12】



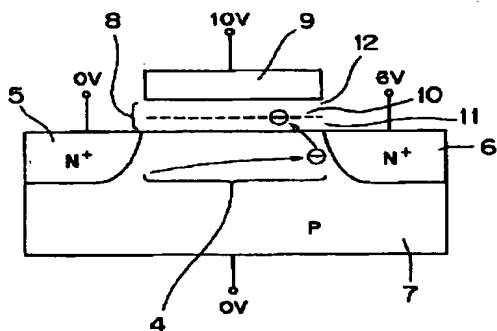
【図13】



【図14】

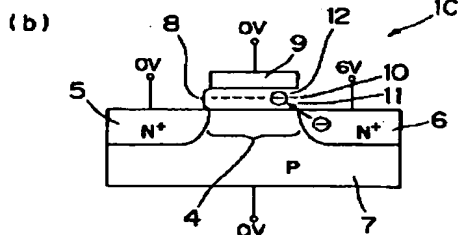
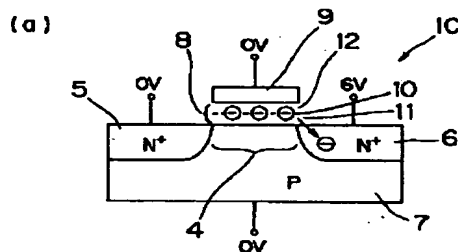


【図15】



- | | |
|-----------|---------|
| 4 チャンネル領域 | 8 ONO膜 |
| 5 ソース領域 | 9 ゲート電極 |
| 6 ドレイン領域 | |
| 7 半導体基板 | |

【図16】



- | | |
|-----------|---------|
| 4 チャンネル領域 | 8 ONO膜 |
| 5 ソース領域 | 9 ゲート電極 |
| 6 ドレイン領域 | |
| 7 半導体基板 | |

フロントページの続き

(51)Int.Cl.⁵

H01L 27/115

識別記号

庁内整理番号

FI

技術表示箇所

7210-4M

H01L 27/10

434